

# ESTIMACIÓN ANALÍTICA DEL ACOPLE ELECTROMAGNÉTICO ENTRE LÍNEAS DE INTERCONEXIÓN MULTINIVEL EN CIRCUITOS DE ALTA VELOCIDAD

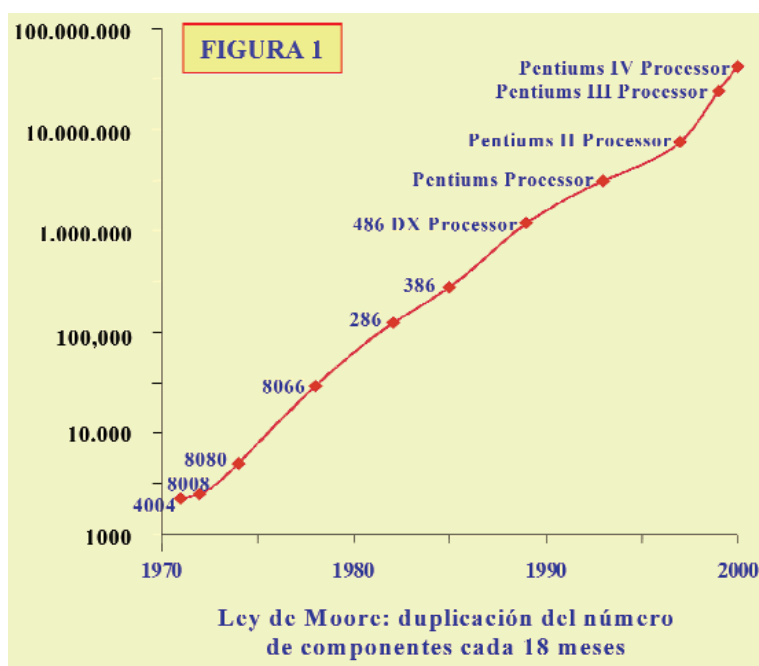
Dr. Otman Aghzout

El análisis de los efectos del crosstalk jugarán un papel muy importante para determinar el buen funcionamiento de los circuitos integrados de alta velocidad. En esta publicación, se desarrollan por primera vez expresiones analíticas en forma cerrada para estimar el crosstalk en estructuras multinivel. Este modelo es exactamente comparable con Spice, sea para una señal de entrada, función rampa o función escalón. Al contrario de los modelos existentes en la literatura, nuestro modelo es capaz de analizar estructuras con n líneas. Se consideran la resistencia y la capacidad de las líneas, así como la resistencia del driver. Este nuevo modelo es exacto y preciso para estimar el crosstalk.

*Crosstalk analysis effects will play an important role in determining system performance of high-speed integrated circuits. In this paper, a closed-form formula to predict the crosstalk noise is derived for the first time in multilevel structures. This new model is accurately comparable to Spice for an arbitrary input ramp and unit step function respectively. Further, while existing models do not support the multiple line crosstalk behaviors, our model can be generalized to multiple lines. Interconnect resistance, interconnect capacitance, and driver, are all taken into account. This model is suitable for rapid crosstalk estimation and signal integrity verification.*

## INTRODUCCIÓN

La tendencia a la miniaturización en los circuitos integrados, acorde a las expectativas definidas por Moore (ver figura.1 y tabla.1), conllevan un aumento del número de dispositivos activos (transistores) en el chip, así como un aumento del tamaño del mismo. A su vez, para poder establecer adecuadamente las conexiones entre tan elevado número de componentes, se precisa disponer de diversos planos de interconexión.



**TABLA 1**

CPU	AÑO	Nº TRANSISTORES
4004	1971	2 250
8008	1972	2500
8080	1974	5000
8086	1978	29000
286	1982	120000
386	1985	275000
486	1989	1180000
Pentium	1993	3100000
Pentium II	1997	7500000
Pentium III	1999	24000000
Pentium IV	2000	42000000

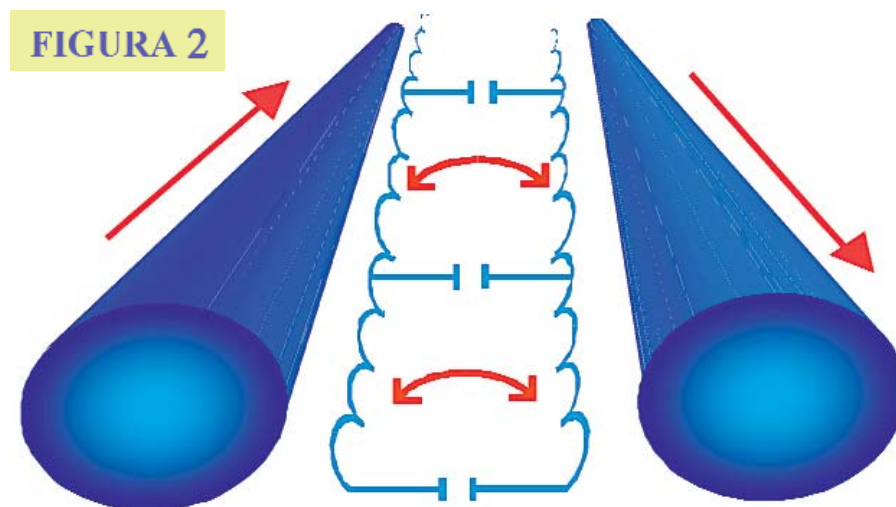
Evolución de la densidad de integración de microprocesadores comerciales hasta la actualidad

Los modernos microprocesadores actuales integran un número del orden de los 40 millones de transistores en chips de tamaño creciente (pasando de áreas del orden de 200 mm<sup>2</sup> en 1995, a los 350 mm<sup>2</sup> de la actualidad para alcanzar, según previsiones, los 650 mm<sup>2</sup> en el año 2010) y con un número de planos de interconexión típico de 6 niveles de metalización.

Hasta la fecha, el problema del interconexión de las pistas en los circuitos de muy alta densidad de integración (circuitos *ULSI/VLSI*) se muestra prácticamente insalvable. Del conjunto de aspectos que merecen ser estudiados, destaca sobremanera el denominado *cross-talk*, es decir, acople electromagnético entre pistas conductoras (ver figura 2), que incide directamente sobre la degradación de las características de propagación de las señales en los circuitos integrados de alta frecuencia.

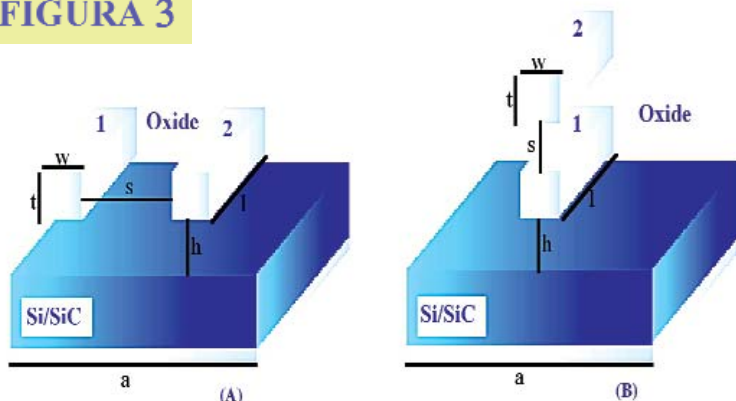
Para la resolución de este problema, dentro del ámbito del diseño microelectrónica, ver por ejemplo el trabajo realizado por Ashok (1995), se han perseguido siempre soluciones que van desde simples reglas de diseño (proporcionadas muchas veces por la experiencia del diseñador), hasta métodos numéricos y analíticos como los basados por ejemplo en la resolución de las ecuaciones de Laplace mediante el método de los elementos finitos.

El problema del acoplamiento entre las interconexiones en los circuitos *ULSI* y *MMIC* ha sido intensivamente estudiado durante los últimos años debido a su importancia



**Acople electromagnético (capacitivo e inductivo) entre pistas conductoras**

**FIGURA 3**



**Estructuras típicas empleadas en los circuitos integrados de alta velocidad/integración**

en el diseño de los circuitos integrados de alta velocidad. Se sabe que mientras se requiere un pequeño espaciado entre las líneas de señal para aumentar la densidad de la integración, el acople electromagnético aumenta, causando un problema serio que daña el funcionamiento del circuito. En el trabajo presentado por Otman Aghzout (2000) se puede ver cómo con unas técnicas simples se puede optimizar este tipo de problemas.

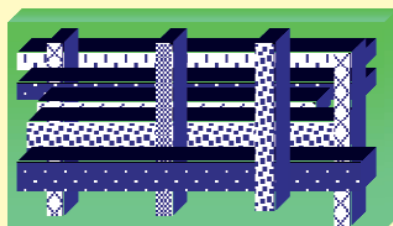
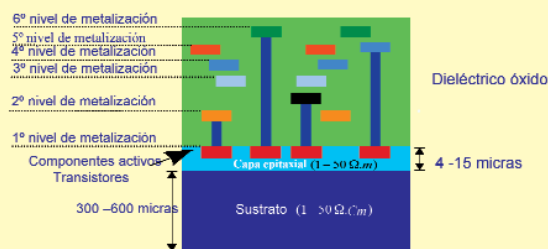
El objetivo principal de esta publicación es presentar el problema del *crosstalk* y desarrollar modelos nuevos capaces de analizar su

efecto en el funcionamiento de circuitos/sistemas, tanto en aplicaciones de microondas como en circuitos digitales de alta velocidad. Con ello se pueden elaborar todo un conjunto de reglas de diseño que garanticen un mínimo acople electromagnético entre las pistas de señal, aplicando el estudio a una tecnología relevante CMOS de longitud de puerta de 0.18 micras.

En la tarea de elaborar este conjunto de reglas de diseño fiable, resulta imprescindible la identificación de las estructuras del tipo más común en el diseño *VLSI* (véase la figura 3).

**El objetivo principal de esta publicación es presentar el problema del *crosstalk* y desarrollar modelos nuevos capaces de analizar su efecto en el funcionamiento de circuitos/sistemas tanto en aplicaciones de microondas como en circuitos digitales de alta velocidad.**

**FIGURA 4**



**Metalización multinivel con aislamiento por dieléctrico (óxido de silicio)**

El aumento de la relación de  $T/W$  (siendo  $T$  y  $W$  la altura y la anchura de la línea metálica respectivamente) produce un acoplamiento capacitivo grande que tiene como consecuencia un mayor *crosstalk*. Este problema empeora si en el mismo sistema se agregan varias capas metálicas (ver figura 4). De este modo, en la tecnología moderna, la posibilidad de añadir cada vez más capas conductoras está limitada, entonces desarrollar modelos capaces de estimar el *crosstalk* en estructuras con  $n$  líneas acopladas, es de mayor interés para comprender y afrontar los problemas y retos tecnológicos futuros.

Para estimar y comparar el valor del *crosstalk* en los circuitos digitales que nos interesa estudiar, nos hemos decantado por el simulador electrónico de propósito general *Spice*. Este simulador se emplea desde hace más de dos décadas para el análisis, diseño y optimización de circuitos electrónicos. La versión que se ha empleado en este trabajo es la misma que han utilizado Dinh (1994) y Woojin (1999).

### FUNDAMENTOS TEÓRICOS DEL MODELO DE INTERCONEXIÓN

En general, toda vez que las líneas de interconexión se modelan como una red de líneas de transmisión, su formulación matemática se plantea en las ecuaciones del telegrafista (*Telegrapher's equation*). Si la señal de excitación no es sinusoidal pero es una función general, la respuesta de la línea de la transmisión se presenta en términos de derivadas con respecto a la variable de espacio  $x$  y de tiempo  $t$ .

$$\frac{\partial V(x,t)}{\partial x} = (RI(x,t) + L \frac{\partial I(x,t)}{\partial t}) \quad (1)$$

$$\frac{\partial I(x,t)}{\partial x} = -(GV(x,t) + C \frac{\partial V(x,t)}{\partial t}) \quad (2)$$

Para resolver analíticamente estas ecuaciones deben entenderse

los detalles característicos del sistema de transmisión. Aunque la solución completa (ecuaciones (1-2)) permite una representación exacta de la señal, emplea un tiempo elevado de computación. Así, esta solución completa no se puede aplicar a circuitos complejos (con muchos componentes), si no que debe restringirse su empleo a las interconexiones.

En el estudio de circuitos digitales de alta velocidad *CMOS*, el análisis del acople entre pistas metálicas *on-chip*, la pérdida en el dieléctrico ( $G$ ) y la inductancia ( $L$ ) pueden despreciarse, como una aproximación necesaria de primer orden, aunque la inductancia no puede ser siempre despreciada según el modelo de Eisenstadt (1992).

En general, las condiciones de la impedancia (impedancia  $R_S$ , la resistencia  $R_L$  de la línea y la impedancia de la carga,  $Z_L$ ) tienen una influencia sustancial en el valor del *crosstalk*. Es importante en el análisis la introducción de la inductancia, en cambio en otros casos puede ser descartada. Precisamente, si  $R_L > 2R_S$ , el efecto de la inductancia puede ser depreciado consiguiendo los resultados con un error máximo del 10 %, sin embargo, si  $R_S \gg R_L \gg Z_L$  el efecto del acoplamiento inductivo no puede ser despreciado e incluso puede llegar a ser muy significativo.

Este caso no aparece con frecuencia en los circuitos prácticos *CMOS* porque la resistencia del *driver* es moderada y el receptor es una carga de impedancia capacitiva muy alta. Así, el efecto del acoplamiento inductivo en los circuitos *CMOS* puede ser despreciado como una aproximación de primer orden. Entonces la nueva ecuación a resolver viene dada por:

$$\frac{\partial V^2(x,t)}{\partial x^2} = RC \frac{\partial V(x,t)}{\partial t} \quad (3)$$

En un sistema multiconductor tales señales y parámetros se pueden presentar en forma de matriz. En muchos trabajos, por ejemplo en el presentado por Eisenstardt (1995), las ecuaciones se resuelven para dos líneas acopladas con soluciones muy exactas, porque se basan en un análisis físico y matemático riguroso. Puesto que las ecuaciones de la solución son funciones en el dominio de la frecuencia o integrales de convolución en el dominio del tiempo, se requieren necesariamente la inversa de las transformadas de *Fourier* o las integrales de convolución para determinar las respuestas en el dominio del tiempo. Por otra parte, exigen muchas computaciones y manipulaciones matriciales.

Por lo tanto, esta aproximación de primer orden no es válida para las líneas de interconexión para los diseños de circuitos complicados con millones de líneas de transmisión y de capas múltiples de interconexión. Por consiguiente, se requiere un modelo simple y exacto para el análisis correcto de circuitos *VLSI* complejos. El bloque circuital más básico en los circuitos *CMOS* es el inversor. Así, la mayoría de los modelos suponen que el *driving stage* y el *driven stage* están compuestos de inversores. Ello no es motivo para que los resultados en base a inversores puedan generalizarse a puertas lógicas de mayor complejidad.

Los circuitos compuestos por inversores son una combinación de dispositivos no lineales. Sin embargo, un inversor se modela aproximadamente como una resistencia  $R_{tr1,2}$  en el *driving stage* de la interconexión y como una capacidad  $C_{L1,2}$  en el *driven stage* según lo mostrado en la figura 5. La resistencia para un inversor moderado de relación de aspecto ( $W/L \gg 1$ ) se extiende a partir de 40 a 400  $\Omega$ .

Como se sabe, el *crosstalk* se debe principalmente a la capacidad de acoplamiento; pero otros parámetros tales como las auto-capacidades y las auto-resistencias de las líneas de interconexión, están relacionadas con la velocidad de la propagación de la señal y el tiempo de subida. Así, éstos deben ser reconsiderados en el análisis.

Para abordar el modelo que queremos generalizar resulta indicado comprobar que este mismo modelo es eficiente para un sistema de dos líneas *RC* acopladas. Por otra parte, aplicamos nuestro estudio a dos respuestas diferentes para un tiempo de subida  $T_R$  de valor igual y diferente de cero, es decir, con una función escalón y otra función rampa.

**El crosstalk se debe principalmente a la capacidad de acoplamiento; pero otros parámetros tales como las auto-capacidades y las auto-resistencias de las líneas de interconexión, están relacionadas con la velocidad de la propagación de la señal y el tiempo de subida.**

**MODELO PROPUESTO PARA EL PROBLEMA DE N LÍNEAS ACOPLADAS**

Para desarrollar el modelo general, es conveniente comprobar que es eficiente para un sistema simple de dos líneas. Consideramos el circuito equivalente de la estructura de la figura 5, donde  $R_{1a} = R_{L1} + R_{tr1}$  y  $R_{2q} = R_{L2} + R_{tr2}$ .

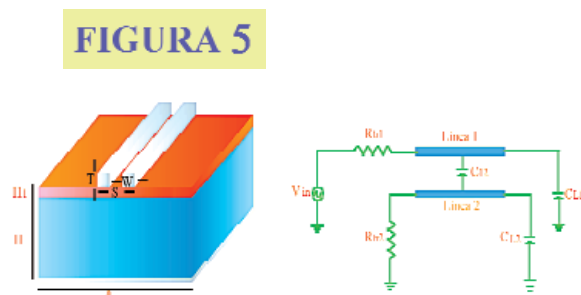


Figura 5. Estructura con sustrato de óxido y el Circuito del modelo equivalente

De la misma manera,  $C_{1a} = C_{11} + C_{L1}$  y  $C_{2a} = C_{22} + C_{L2}$ . Resolvemos el sistema de ecuaciones del circuito equivalente (véase la figura 5), la señal de excitación es una función rampa con un tiempo de subida  $T_r$

y de amplitud  $V_{dd}$ , el *crosstalk* para  $0 \leq t \leq T_r$  en función del tiempo  $t$  se expresa en forma cerrada y exacta siguiente:

$$V_{xstalk}(t) = \frac{R_{2q} C_{12} V_{dd}}{T_r \tau_0} (\tau_0 + \tau_1 e^{s_1 t} - \tau_2 e^{s_2 t}) \quad (4)$$

Cuando  $t \geq T_r$  la expresión del *crosstalk* viene dada de la manera siguiente:

$$V_{xstalk}(t) = \frac{R_{2q} C_{12} V_{dd}}{T_r \tau_0} (\tau_1 \mu_1 e^{s_1 t} - \tau_2 \mu_2 e^{s_2 t}) \quad (5)$$

donde,

$$\mu_i = 1 - e^{-s_i T_r}, \quad (i=1,2) \text{ y } \tau_0 = (\eta_1^2 - 4\eta_2)^{1/2}$$

$$\eta_1 = R_{1a}(C_{1a} + C_{12}) + R_{2a}(C_{12} + C_{2a})$$

$$\eta_2 = R_{1a}R_{2a}(C_{1a}C_{12} + C_{1a}C_{2a} + C_{12}C_{2a})$$

$$s_1 = -\frac{1}{\tau_1} = -\frac{\eta_1 + \tau_0}{\eta_2}$$

$$s_2 = -\frac{1}{\tau_2} = -\frac{\eta_1 - \tau_0}{\eta_2}$$

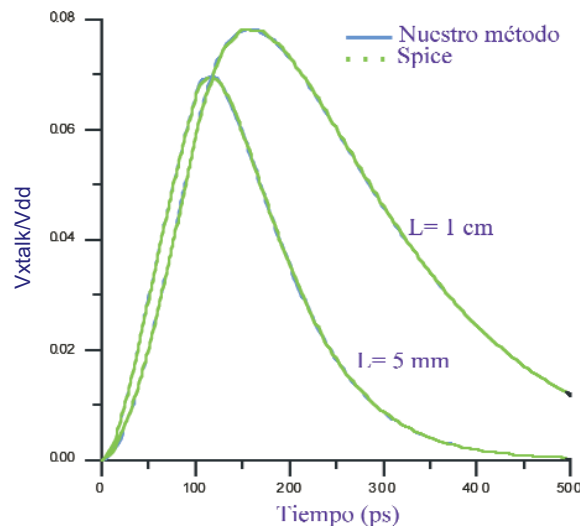
Las capacidades de la carga son  $C_{1a} = C_{12} = 76 \text{ fF}$  y las resistencias de los transistores correspondientes son

$R_{n1} = R_{n2} = 82 \Omega$ . Puesto que la resistencia de la lámina del metal para los procesos de la tecnología avanzada de hoy en día es de  $R_s = 30 \dots 50 \text{ m}\Omega/\text{sq}$  en este trabajo hemos elegido  $R_s = 50 \text{ m}\Omega/\text{sq}$ . En la figura 6 representamos, para dos longitudes diferentes ( $5 \text{ mm}$  y  $1 \text{ cm}$ ), los resultados obtenidos con nuestras expresiones y con *Spice*. Observamos que ambos resultados coinciden, además, se indica que el tiempo de cómputo es despreciable frente al de *Spice*. Para el caso  $T_r = 0$  (función escalón) nuestro modelo exacto se reduce al modelo estudiado de una manera aproximada por Sakurai (1993). Así, nuestra expresión exacta viene dada por:

$$V_{xstalk}(t) = \frac{R_{2q} C_{12} V_{dd}}{\tau_0} (e^{s_1 t} - e^{s_2 t}) \quad (6)$$

En la figura 7, comparamos nuestros resultados (exactos) y los del modelo aproximado de Sakurai (1993), con las simulaciones *Spice*. Una vez más, se observa que los resultados coinciden con este último mejorando incluso los obtenidos por Sakurai (1993).

FIGURA 6



Comportamiento del *crosstalk* normalizado del modelo ilustrado en la figura 5 y su comparación con los resultados de *Spice*.



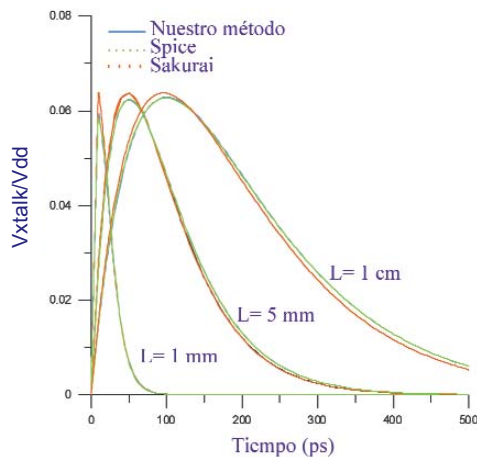
El trabajo presentado por Sakurai (1993) y otros autores queda limitado al estudio del *cross-talk* entre dos líneas acopladas y no puede ser extendido a un modelo más general. Sin embargo, el modelo planteado en esta publicación permite abordar el análisis de estructuras con un número ilimitado de líneas de interconexión.

En las líneas múltiples, las resistencias de las interconexiones son aproximadamente iguales a las de un sistema de dos líneas (líneas con secciones transversales idénticas)  $R_{ai} = R_{ij} + R_{trj}$  y  $R^q = R_q + R_{trq}$ ,  $q = quiet\ line$ , mientras,  $i = 1, \dots, N-2, N-1$  es el número de las fuentes de señal independientes. Las nuevas autocapacidades de las líneas múltiples son:

$$C_{ai} = C_{ii} + C_{Li} + \sum_{n=1}^N \frac{C_{ip} C_{pp}}{C_{ip} + C_{pp}} \quad p \neq i \quad (7)$$

$$C^q = C_q + C_{Lq} + \sum_{n=1}^N \frac{C_{ip} C_{pp}}{C_{ip} + C_{pp}} \quad p \neq i$$

FIGURA 7



Crosstalk normalizado de un sistema de seis

El *cross-talk*, en función del tiempo, para  $N$  líneas acopladas con  $N-1$  fuentes de señal respectivamente para las funciones rampa y escalón se expresa como:

Para  $T_r \neq 0$

$$V_{xstalk}(t) = \sum_{n=1}^{N-1} M_i (\tau_{i-1} + \tau_i e^{s_{i-1}t} - \tau_{i+1} e^{s_{i+1}t}) \quad (8)$$

Para  $T_r = 0$

$$V_{xstalk}(t) = \sum_{n=1}^{N-1} M_i (\tau_i e^{s_{i-1}t} - \tau_{i+1} e^{s_{i+1}t}) \quad (9)$$

donde,  $M_i$  igual a  $\frac{R_{2q} C_{iq} R^q V_{dd}}{T_r \tau_{i-1}}$  cuando  $T_r \neq 0$  y a  $\frac{C_{iq} R^q}{\tau_{i-1}}$  cuando  $T_r = 0$ ,

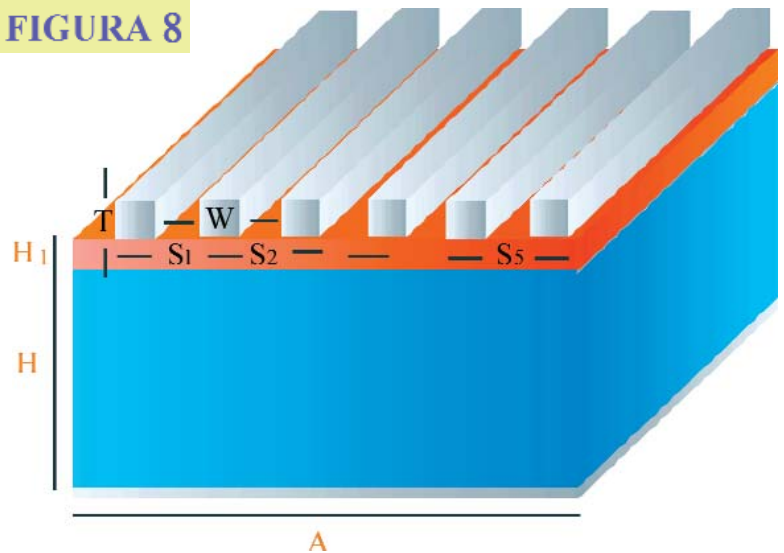
$$\alpha_1 = R_{ai} (C_{ai} + C_{aiq}) + R^q (C_{aiq} + C^q)$$

$$\beta_2 = R_{ai} R^q (C_{ai} C_{aiq} + C_{ai} C^q + C_{aiq} C^q)$$

$C_{aiq}$  son las capacidades de acople entre las líneas,  $s_{i,j} = \frac{\alpha_i \pm \tau_{i-1}}{2\beta_i}$  y  $\tau_{i-1} = (\alpha_i^2 - 4\beta_i^2)^{\frac{1}{2}}$

En la figura 9, se presentan los resultados para una estructura de seis conductores acoplados (véase la figura 8). Se puede ver que nuestros resultados coinciden con los resultados de *Spice*.

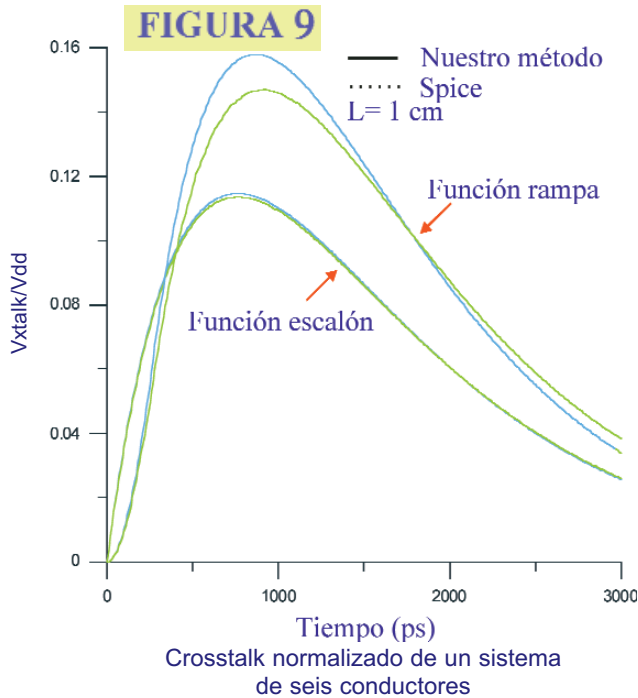
FIGURA 8



Sistema con seis líneas acopladas sobre un sustrato de óxido

Para demostrar que el modelo desarrollado en este trabajo es muy amplio, lo hemos aplicado a distintas estructuras –todas ellas de empleo común en el diseño microelectrónico y problemas *MMIC*- con fines diferentes; no se incluyen aquí debido a la escasez de espacio disponible. Sin embargo, indicamos

que en todos los casos estudiados, los resultados obtenidos mediante el modelo y la formulación presentada en este trabajo, concuerdan con los obtenidos mediante simulación numérica con *Spice*.



**CONCLUSIONES**

Se han presentado todas las simulaciones para determinar la dependencia del voltaje del *crosstalk* con diversas longitudes de interconexión. Se ha desarrollado un modelo general en expresiones cerradas y simples para estudiar el *crosstalk* en líneas múltiples. En general, este nuevo y completo modelo además de mejorar el presentado por Sakurai (1993), permite resultados similares a los obtenidos con el *Spice*. Para comprobar lo preciso que es este modelo, hemos presentado dos ejemplos donde se tratan dos estructuras diferentes: la primera es de dos conductores y la segunda es de seis conductores acoplados. En todos los ejemplos se ha demostrado cómo mediante nuestro modelo, se pueden conseguir resultados con una precisión muy elevada y un tiempo de *CPU* muy pequeño en comparación con el simulador *Spice*.

**GLOSARIO DE TÉRMINOS**

**Acople electromagnético (*crosstalk*)**

Decimos que dos pistas conductoras (coplanares o no) con fuentes de excitación no común están acopladas (acopladas electromagnéticamente) cuando la excitación eléctrica sobre una de ellas se manifiesta en la otra. Esta manifestación la realiza el campo electromagnético en base a elementos de acople (bien capacidades o inductancias).

**Líneas de Interconexión Multinivel**

Los sistemas/circuitos de alta densidad de integración emplean varios niveles de metalización para establecer las interconexiones entre componentes. Dado que no pueden cruzarse en el mismo plano las interconexiones (forma cortocircuito), la disponibilidad de diversos planos de interconexión hace que aumente el número de componentes por unidad de área así como minimiza el tamaño de las pistas.

**Circuitos de Alta Velocidad**

Se denominan de esta forma a los circuitos digitales que operan a frecuencias superiores al gigahercio (mil millones de ciclos por segundo).

**Ley de Moore**

La ley de Moore establece que el número de componentes activos (transistores) en un circuito integrado monolítico (chip) se duplica en un periodo aproximado de 18 meses. Se trata de una ley establecida en base a observaciones prácticas por G.E. Moore en el año 1965, pero constituye una referencia muy importante a la hora de realizar previsiones de crecimiento de mercado/prestaciones en el ámbito microelectrónico. Por ejemplo, Intel mantiene como objetivo prioritario la aplicación de la ley de Moore lo que implica una reducción



del 30% en el tamaño de los transistores cada 2 años.

### **Circuitos ULSI/VLSI**

Es un acrónimo que proviene de Ultra Large Scale Integration /Very Large Scale Integration, es decir, (circuitos/sistemas electrónicos) de muy alta escala (densidad) de integración.

### **Circuitos MMIC**

Es un acrónimo que proviene de Monolithic Microwave Integrated Circuit, es decir, circuitos de microondas integrados.

### **Método de los Elementos Finitos**

Técnica de empleo generalizado en el ámbito de las ingenierías para la resolución de problemas numéricos (ecuaciones de campo, difusión, transporte...).

### **Tecnología CMOS**

La tecnología CMOS constituye la tecnología relevante en el ámbito de la microelectrónica actual. La puerta lógica fundamental la constituye el inversor CMOS, que se compone de dos transistores MOS (Metal-Óxido-Semiconductor) complementarios (uno de canal n, y otro de canal p) sobre un mismo sustrato y conectados entre sí. Las características principales de dicha tecnología son su tremendamente pequeño consumo de potencia y su fácil implementación física que permite una sencilla miniaturización sin degradación de prestaciones.

### **Impedancia**

Magnitud física que representa la oposición que ofrece un conjunto de elementos de un circuito (resistencia y bobinas y/o condensadores) al paso de la corriente alterna. Esta oposición se manifiesta en la cantidad de corriente que deja pasar la impedancia así como el

cambio de fase que produce respecto al voltaje.

Por eso la impedancia se puede expresar como un número complejo, donde su módulo representa el cociente entre el valor de pico o eficaz de la tensión y la corriente, mientras que su argumento indica el desfase temporal entre voltaje y corriente.

### **Inversor CMOS**

La puerta inversora constituye la primitiva lógica fundamental que realiza la función lógica de invertir, es decir, ante una entrada lógica de nivel bajo (0) responde con una salida a nivel alto (1) y viceversa. El hecho de implementarse en tecnología CMOS hace que se la denomine inversor CMOS y se dice que es básica porque en base a ella se pueden obtener todas las demás funciones lógicas a base de las correspondientes combinaciones booleanas.

### **Tiempos de subida/bajada (función escalón)**

Para una señal de excitación (bien senoidal, rampa o similares), se entiende como tiempo de subida a la diferencia entre los instantes de tiempo en que la señal, en una transición abajo-arriba pasa del valor del 10% de amplitud al 90%. De forma análoga se define el tiempo de bajada. Cuando dicho tiempo es nulo, la función de excitación se corresponde con una función escalón (pasa de estado bajo a alto instantáneamente).

## **BIOGRAFÍA**

### **Dr. OTMAN AGHZOUT**

Licenciado en Ciencias Físicas por la Facultad de Ciencias de Tetuán (Marruecos) en 1995. Amplió estudios de Doctorado en la Universidad de

Sevilla (Facultad de Física) en el campo de microondas y en la ULPGC, ETSIT, Dpto IEA, en el campo de los circuitos integrados de alta velocidad y similares de microondas donde finalizó el doctorado en Ingeniería de Telecomunicación, enero de 2002. Hasta diciembre de 2003 realizó un post-Doctorado en el procesado de imagen y su aplicación en el campo de la medicina en el Centro de Tecnología Médica, Hospital Doctor Negrín, ULPGC. Trabajó para la ULPGC como Doctor Ingeniero de Telecomunicación (Investigador) desde marzo de 2002 hasta diciembre de 2003. Actualmente es miembro del grupo de electromagnetismo de la facultad de Física de Tetuán, miembro colaborador del grupo de microondas de la Facultad de Física de Sevilla, miembro del Centro de Tecnología Médica (ULPGC) y miembro fundador de la asociación didáctica de Andalucía.

Dirección:  
Departamento de Ingeniería Electrónica y Automática Universidad de Las Palmas de Gran Canaria  
LAS PALMAS 35017, SPAIN  
Teléfono: 928449970  
E.mail: otman@ctm.ulpgc.es  
P.W.  
<http://www.ctm.ulpgc.es/~otman>

## BIBLIOGRAFÍA

Ashok K. Goel, High-Speed VLSI Interconnections: modelling, Analysis and Simulation, Wiley Series in Microwave and Optical

Engineering, Kai Chang Series Editor. Boston, 1995.

O. AGHZOUT, L-GÓMEZ, J. CANINO, F. MEDINA (2000): Capacitance Characterization of Coupled Transmission Lines Applied to VLSI Interconnections Modelling. MS'2000: Conference on Modelling and Simulation. Las Palmas de G.C, págs. 471-478.

T. V. Dinh, B. Cabon, and J. (1994): SPICE Simulation of lossy and Coupled Interconnection lines, IEEE Transactions on Components, Packagings, and Manufacturing Technology -Part B, vol. 17, págs. 134-146

Woojin Jin, Hanjong Yoo and Yungseon Eo . Non-uniform Multi-layer IC Interconnect Transmission Line Characterization for Fast Signal Transient Simulation Of High-Speed/High-Density VLSI Circuits . IEICE Trans. Electron, vol. E82-C, n. 6, págs. 995--965, Jun. 1999.

W. R. Eisenstadt and Y. Eo, S-parameter-based IC interconnect transmission line characterization, IEEE Trans. Comp., Hybrids, Manufact Technology, vol. 15, págs. 483-490, Aug. 1992.

Y. Eo and W. R. Eisenstadt, Generalized coupled interconnect transfer function and high-speed signal simulation, IEEE Transactions on Microwave Theory {and} Techniques, vol. MTT-43, págs. 1115-1121, May. 1995.

T. Sakurai, Closed-form expression for interconnection delay, coupling, and crosstalk in VLSIs, IEEE Transactions on Electron Devices, vol. 40, págs. 118-124, Jan. 1993.

Patrocinador de esta investigación:

**UNIÓN ELÉCTRICA DE CANARIAS, S.A.**  
**(UNELCO)**